

可変構造パイプラインを持つ粗粒度再構成アクセラレータ CCSOTB2

小島 拓也† 安藤 尚樹† 天野 英晴†
†慶應義塾大学

1 はじめに

Cool Mega Array (CMA)[1] は低消費電力で高い演算処理能力が求められる IoT デバイスやウェアラブルコンピューティングへの応用を目指した粗粒度再構成可能アーキテクチャである。CMA は演算処理部である PE(Processing Element) アレイ、データメモリ、その2つのデータ転送を制御するマイクロコントローラから成る。過去の CMA 試作チップ CCSOTB (CMA CUBE SOTB)[2] では演算処理部を大規模な組み合わせ回路のみで構成することによりダイナミック電力の削減を図り、高い電力効率を示した。一方で、[3] では従来の CMA アーキテクチャにおけるクリティカルパス長大とグリッチによる消費電力の増加を指摘し、可変パイプライン化された新たなアーキテクチャ VPCMA (Variable Pipelined Cool Mega Array) を提案した。本稿では VPCMA を実装した最新の試作チップ CCSOTB2 の実装と実チップ評価を報告する。

2 アーキテクチャ

VPCMA アーキテクチャのブロック図を図1に示す。8行×12列の PE アレイは演算処理部である。各 PE は 24bit 幅の ALU と入力データ用のセレクタ、SE(Switch Element) から構成されており、レジスタファイルを持たない。そのため、各 PE へのクロック分配は不要でありダイナミック電力削減を図っている。各 PE の動作や、PE 間の相互接続はコンフィグレーションデータによって定める。PE アレイの行と行の間には再構成可能なパイプラインレジスタが配置されている。各パイプラインレジスタを個別にアクティブにすることが可能でユーザーは要求性能やアプリケーションに応じてパイプライン構造を変化させることができる。パイプラインレジスタが使用されない時はクロックゲーティングによって電力消費を抑えている。パイプライン構造決定のためにダイナミック電力のモデル式および電力最適化アルゴリズムが提案されている [4]。データメモリはバンク化されており、データマニピュレータはデータメモリと PE アレイとの間で柔軟なデータ転送を提供する。マイクロコントローラはデータ転送の制御を行う小規模な RISC プロセッサである。

3 実装

VPCMA アーキテクチャを実装した試作チップ CCSOTB2 の実装環境を表1に、実チップ写真を図2に示す。

3.1 SOTB プロセス

実装には前試作チップ CCSOTB と同様に SOTB(Silicon on thin buried oxide) プロセス [5] を用いた。SOTB のトランジスタはボディバイアス電圧を広い範囲で制御することができ、リーク電力と遅延時間のトレードオフを調節することが可能である。

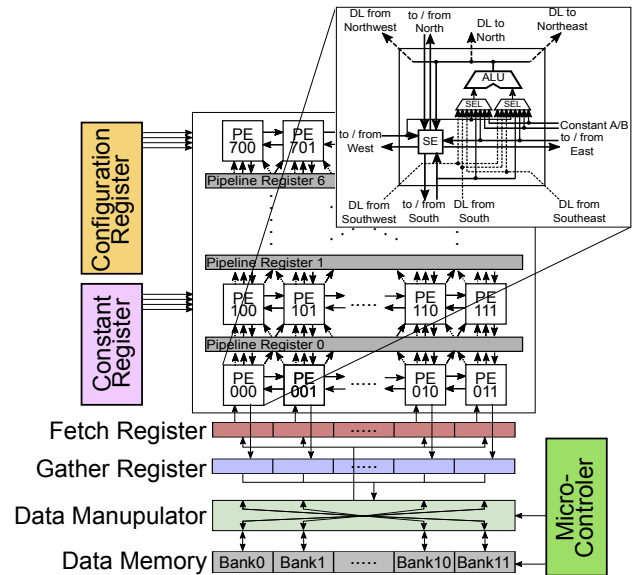


図 1: VPCMA アーキテクチャ

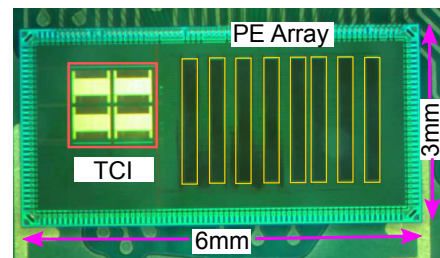


図 2: CCSOTB2 実チップ写真

VPCMA では PE 行毎に異なるボディバイアスドメインへ分割することで、パイプラインステージ間の遅延ばらつきを軽減しリーク電力の最適化が検討されている [6]。しかしながら、CCSOTB2 では使用可能な電源ピン数の制約から 1 行目から 5 行目までを同一のドメインにしている。

3.2 TCI

CCSOTB2 は図2で示したように無線3次元積層のためのチップ間インターフェース TCI(ThruChip Interface)[7] を備えている。したがって、現在提案中であるビルディングブロック型計算システムのプロトタイプ2号機 Cube-2 へ応用することが可能となっている。

4 実チップ評価

過去の試作チップ CCSOTB と今回試作した CCSOTB2 の実チップ測定に基づく評価結果を示す。電

表 1: 実装環境

設計	Verilog HDL
シミュレータ	Cadence NC-Verilog
プロセス	Renesas SOTB 65 nm / LPT-8
論理合成	Synopsys Design Compiler 2016.03-SP4
配置配線	Synopsys IC Compiler 2016.03-SP4
チップサイズ	6mm × 3mm

表 2: 評価用アプリケーション

アプリケーション	内容
gray	24 bit (RGB) gray scale
sepia	8 bit sepia filter
sf	24 bit (RGB) sepia filter
af	24 bit (RGB) alpha blender

源電圧 V_{DD} は 0.55 V とした。また、評価には表 2 に示す 4 つのアプリケーションを用いた。ただし、CC-SOTB は実チップの不具合により *sf* を実行することができないため、Synopsys PrimeTime によるシミュレーション結果を利用している。

4.1 性能

図 3 に CCSOTB と CCSOTB2 の各アプリケーションで達成した最高性能を示す。ただし、性能の単位は MOPS (Million Operations Per Sec) を用いた。CC-SOTB では PE アレイが性能のボトルネックとなっていたのに対し、CCSOTB2 では PE アレイのパイプライン化により性能ボトルネックがマイクロコントローラとなり、最大動作周波数は 35MHz となった。これにより、全てのアプリケーションで性能向上を達成することができ、全アプリケーション (ただし、*sf* を除く) で平均して 66% 性能が向上した。

4.2 電力効率

各アプリケーションで CCSOTB と CCSOTB2 における電力効率を図 4 に示す。電力効率は 1mW あたりの性能 MOPS/mW を用いた。CCSOTB の電力効率は最高性能時の電力で計算されている。CCSOTB2 の電力効率は CCSOTB と同じ性能で動作させた時の電力と自身の最高性能を達成するときの電力の 2 種類で計算している。また、CCSOTB2 では [4] のアルゴリズムにより決定したパイプライン構造を適用したときの電力で計算している。ただし、今回はボディバイアス制御を行っていない。CCSOTB において最高電力効率を達成した *af* では同等性能時 CCSOTB2 の電力効率が約 10% 低下した。しかし、それ以外のアプリケーションでは同等性能時において CCSOTB よりも優れた電力効率を示した。特に、*sepia* で最大 87% の電力効率改善が見られ、全アプリケーション (ただし、*sf* を除く) で平均して約 17% 向上した。最高性能時 CCSOTB2 の電力効率は同等性能時と比べて変化が小さく、CCSOTB2 は前試作チップ CCSOTB と比べて電力効率を保ちつつ性能を向上できたと言える。

5 結論

CMA アーキテクチャを可変パイプライン化した新しいアーキテクチャ VPCMA を実装したチップ CCSOTB2 を開発し、評価を行なった。パイプライン化

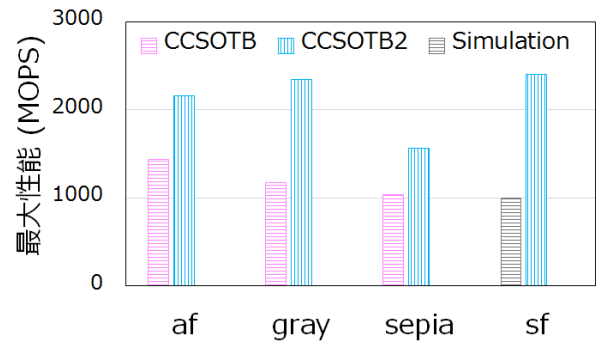


図 3: 性能の比較

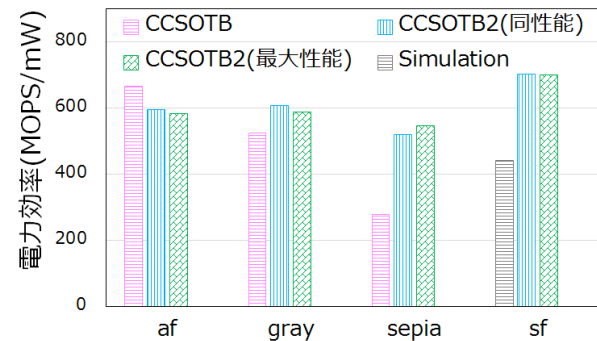


図 4: 電力効率の比較

により性能のボトルネックを解消し、過去の試作チップ CCSOTB と比べてすべてのアプリケーションで性能を向上させることができた。また、パイプライン構造を可変にすることでアプリケーションや要求性能に応じて適切なパイプライン構造を適用することができるようになった。これにより性能を向上させつつ、高い電力効率を得られた。

参考文献

- [1] N. Ozaki, et al., “Cool Mega-Arrays: Ultralow-Power Reconfigurable Accelerator Chips,” *IEEE Micro*, vol.31, no.6, pp.6–18, Nov. 2011.
- [2] 増山滉一朗他, “超低電力再構成可能アクセラレータ CC-SOTB の実装と評価 (コンピュータシステム)-(若手研究会),” 電子情報通信学会技術研究報告, vol.115, no.374, pp.99–103, 2015.
- [3] N. Ando, et al., “Variable Pipeline Structure for Coarse Grained Reconfigurable Array CMA,” 2016 International Conference On Field-Programmable Technology, pp.231–238, 2016.
- [4] T. Kojima, et al., “Glitch-aware Variable Pipeline Optimization for CGRAs,” 2017 International Conference on Reconfigurable Computing and FPGAs (ReConFig), pp.1–6, IEEE, 2017.
- [5] Y. Morita, et al., “Smallest V_{th} variability achieved by intrinsic silicon on thin BOX (SOTB) CMOS with single metal gate,” 2008 Symposium on VLSI Technology, pp.166–167, June 2008.
- [6] T. Kojima, et al., “Body bias optimization for variable pipelined CGRA,” 2017 27th International Conference on Field Programmable Logic and Applications (FPL), pp.1–4, IEEE, 2017.
- [7] T. Yasuhiro, et al., “3-D NoC with Inductive-Coupling Links for Building-Block SiPs,” *IEEE Transactions on Computers (TC)*, vol.63, no.3, pp.748–763, March 2014.