

グリッチを考慮したCGRAの可変パイプライン最適化

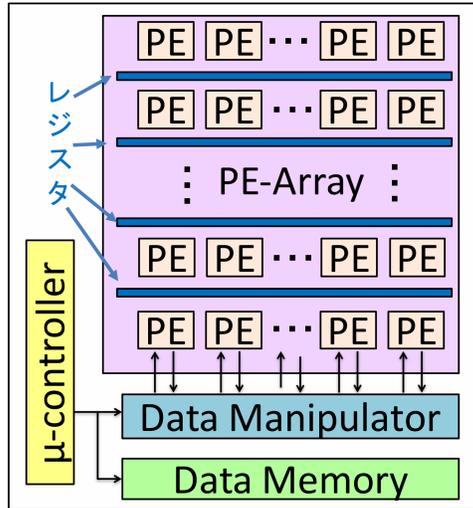
小島 拓也, 安藤 尚樹, 奥原 颯, 天野 英晴 慶應義塾大学

イントロダクション

CGRA(Coarse-Grained Reconfigurable Array)はその高いエネルギー効率からIoTデバイスや組み込みデバイスへの応用が期待されている。中でも単純な構成を持つパイプライン型CGRAは要求性能に応じて構造を変化させることでより高いエネルギー効率を達成し得る一方でグリッチ伝搬による電力増加が懸念される。本研究ではグリッチ伝搬を考慮した動的電力モデルとそれを用いた電力最適化を行う。実チップ測定に基づく評価の結果、モデル式を用いる事でポストレイアウトシミュレーションと比べより正確に、またより短時間に電力を見積もることができた。また、最適化の結果固定的なパイプライン構造と比べ、消費エネルギーを削減することができた。

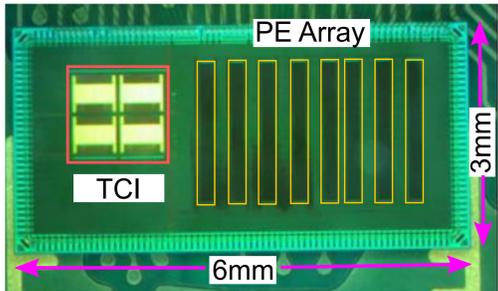
パイプライン型CGRA

VPCMA (Variable Pipelined Cool Mega Array)



VPCMAのブロック図

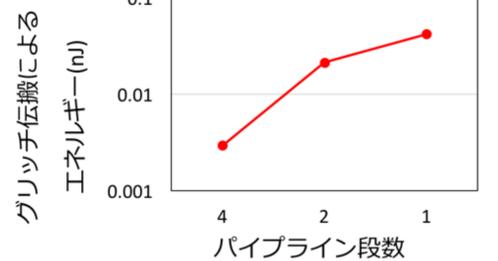
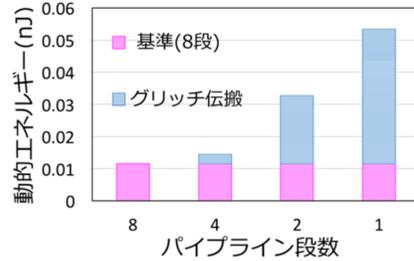
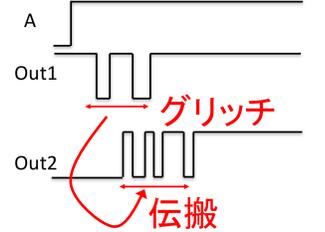
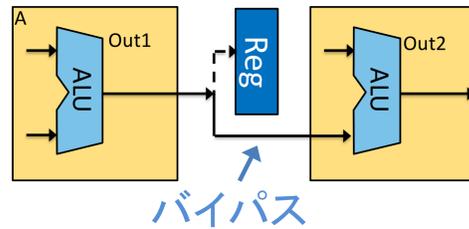
- **PE(Processing Element)**
 - 演算処理部
 - レジスタファイルを持たずクロック分配が不要
- **PEアレイ**
 - 12列×8行のPE
 - 静的なコンフィグレーション
 - データフローを上方向に制限
 - バイパス可能なレジスタ
- **マイクロコントローラ**
 - データメモリ-PEアレイ間のデータ転送を制御
- **可変パイプライン**
 - 要求性能に応じて構造変化
 - 電力-性能のトレードオフ
- **動作実績のある実チップ**
 - 3.4mWで最高2400MOPSを達成
- **他のパイプライン型CGRA**
 - PipeRench, XPP, S5 Engine, EGRA, DT-CGRA



VPCMAの実チップ写真

グリッチ伝搬の影響

- PEの一体化(レジスタをバイパス)
- PEの遅延の和 < クロック周期を満たす場合に可能
- クロックゲートでレジスタの電力を抑制
- 計算に不要なスイッチング(グリッチ)が後段のPEへ伝搬



- **グリッチ伝搬による電力**
 - 最大で全体の80%
- **パイプライン段数の減少**
 - = 一体化するPE数の増加
 - 指数関数的増加より弱い

➤ **グリッチを考慮した電力モデルによるパイプライン最適化の必要性**

- 関連研究: FPGAにおけるグリッチ伝搬のモデル[1][2][3]

提案手法

グリッチ伝搬を考慮したモデル式

- PEアレイの動的電力: $P_{dyn} = E_{sw} S_{total} f$
 - E_{sw} : 1スイッチングあたりのエネルギー, S_{total} : スwitching回数, f : 動作周波数
 - スwitching回数を見積もるモデル式が必要
- スwitchingの分類
 - 本来計算に必要なスswitching
 - 単一のPEで発生するグリッチ
 - グリッチ伝搬によって引き起こされるスswitching

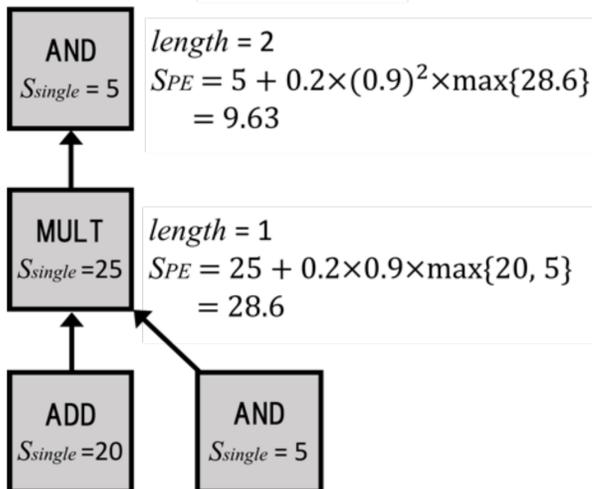
マップされる演算opに依存
前段PEで発生するスswitchingに依存

$$S_{total} = \sum_{i=0}^n \sum_{j=0}^m S_{PE}(i, j)$$

• n : 行数, m : 列数, i : 行番号, j : 列番号, $S_{PE}(i, j)$: i 行 j 列PEのスswitching回数

$$S_{PE}(i, j) = S_{single}(op) + \beta \gamma^{length} \max_{dir} S_{prev}(dir)$$

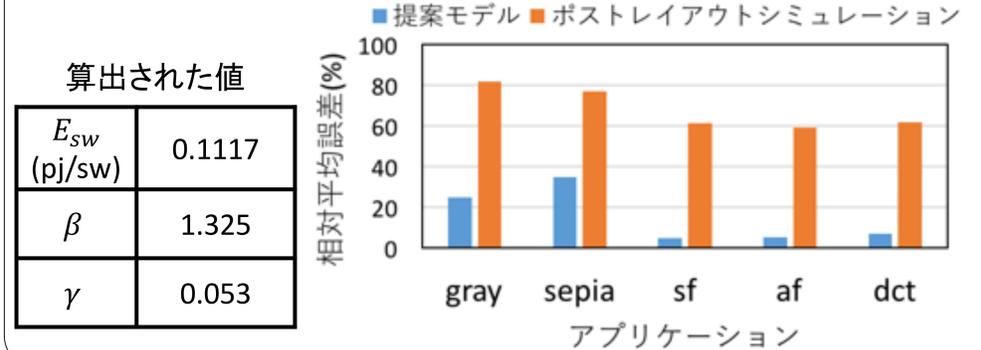
$\gamma = 0.2, \beta = 0.9$



- $S_{single}(op)$
 - 単体PEで発生するスswitching
- β, γ
 - 伝搬係数
- $length$
 - パイプラインレジスタからの距離
- $S_{prev}(dir)$
 - 前段PEのスswitching回数 S_{PE}

モデル式の精度

- 全パイプラインパターン(128種類)の電力を測定
- 5種類の評価用アプリケーション
- 各種パラメータ: E_{sw}, β, γ を決定
- 最小二乗法



電力最適化

- 目的関数: $P_{total} = E_{sw} S_{total} f + P_{reg,clk} \times N_{reg} + P_{leak}$

提案モデル レジスタの電力 リーク電力
- 制約: クリティカルパス遅延 ≤ 許容最大遅延(要求性能)
- 比較対象
 - 等間隔固定パイプライン
 - 1段, 2段, 4段, 8段
- 提案手法
 - さまざま要求性能に対応
 - 電力削減を達成

