

# 可変パイプラインを持つ低消費電力アクセラレータCCSOTB2によるストリーム処理

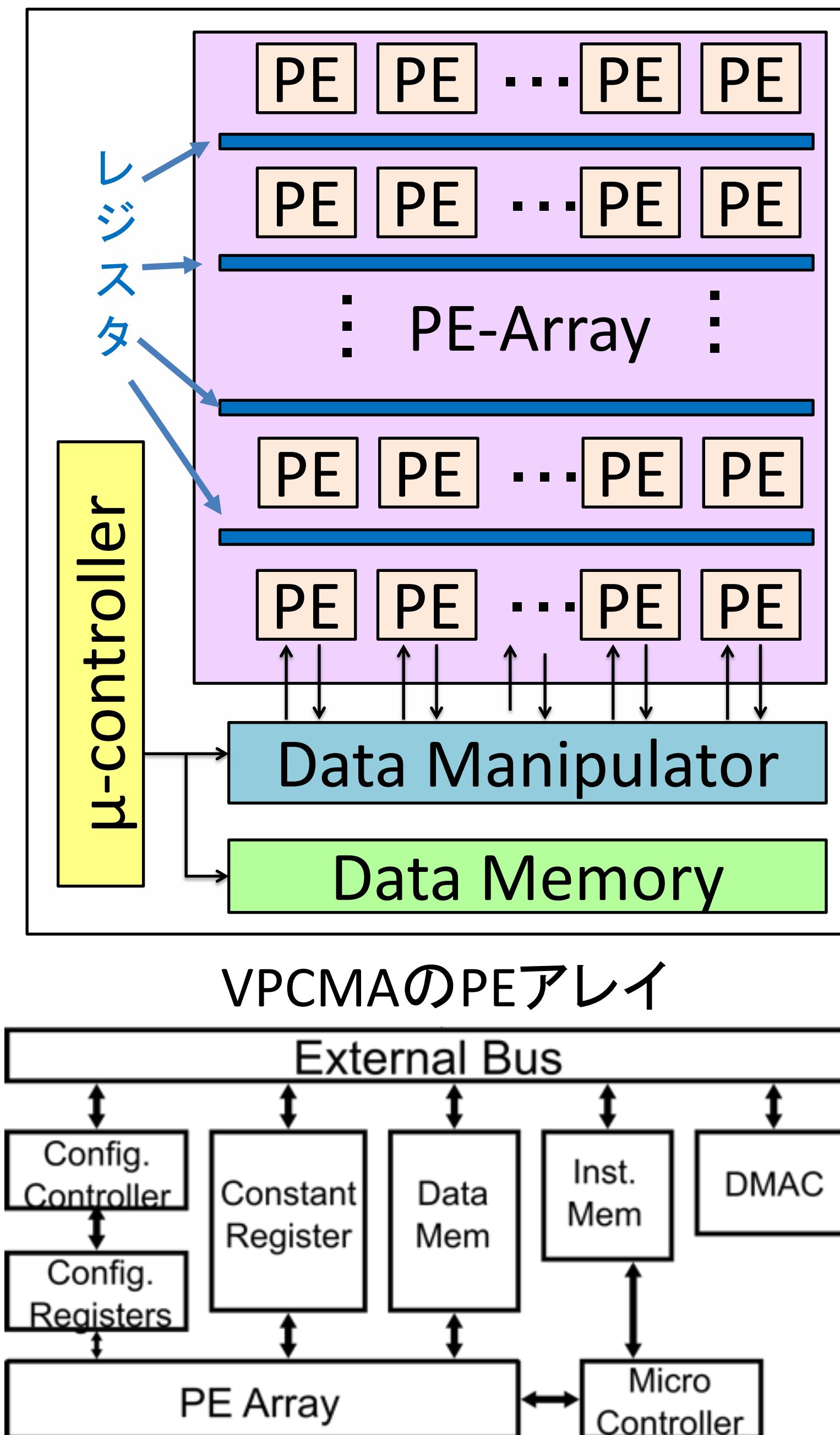
小島 拓也, 安藤 尚樹, 松下 悠介, 奥原 颯, Ng. Doan Anh Vu, 天野 英晴 慶應義塾大学

## イントロダクション

IoTデバイスや組込みデバイスでは高い処理能力と低消費電力性の両方が求められる。こうした要求を満たすアーキテクチャとしてCGRA (Coarse-Grained Reconfigurable Array)が注目されている。我々はCGRAの中でも特に消費電力の小さいCMA (Cool Mega Array)アーキテクチャを開発している。さらに、様々な要求性に応じるためにCMAを可変パイプライン化したVPCMAが提案されている[1]。VPCMAはすでに試作チップCCSOTB2として実チップ化されている。本展示ではCCSOTB2を用いてストリーム処理を行うために構築した環境を利用し、実画像処理のデモンストレーションを行う。

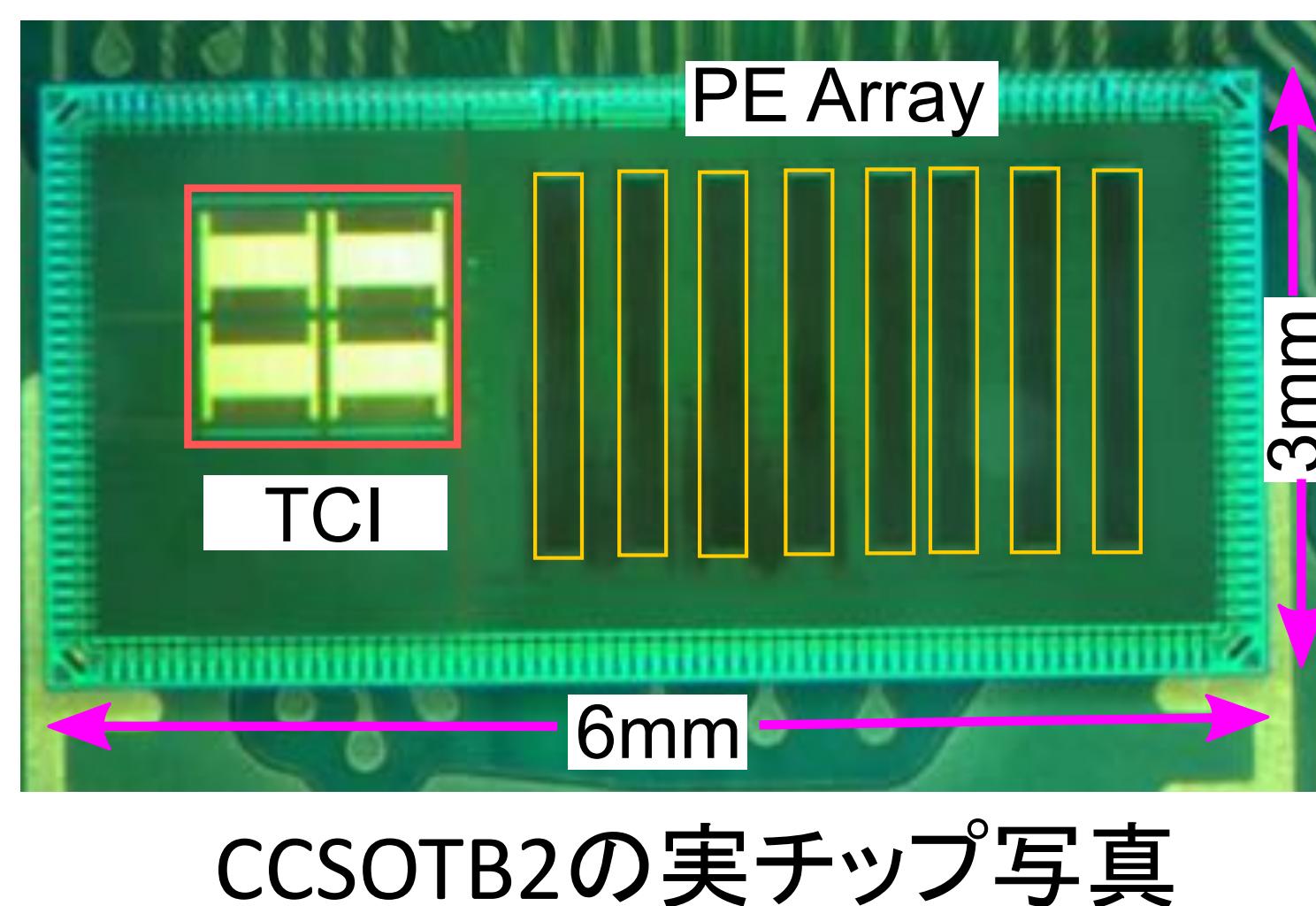
## CGRAアーキテクチャ

### VPCMA (Variable Pipelined Cool Mega Array)[1]



- PE(Processing Element)
  - 演算処理部
  - レジスタファイルを持たなず
  - クロック分配が不要
- PEアレイ
  - 12列 × 8行のPE
  - 静的なコンフィグレーション
  - データフローを上方向に制限
  - バイパス可能なレジスタ
- マイクロコントローラ
  - データメモリ-PEアレイ間のデータ転送を制御
- 可変パイプライン
  - 要求性能に応じて構造変化
  - 電力-性能のトレードオフ
- 外部ホストからのアクセス
  - 各モジュールは共通のデータバスで接続
  - コンフィギュレーションは外部ホストから制御

### 実チップCCSOTB2の実装



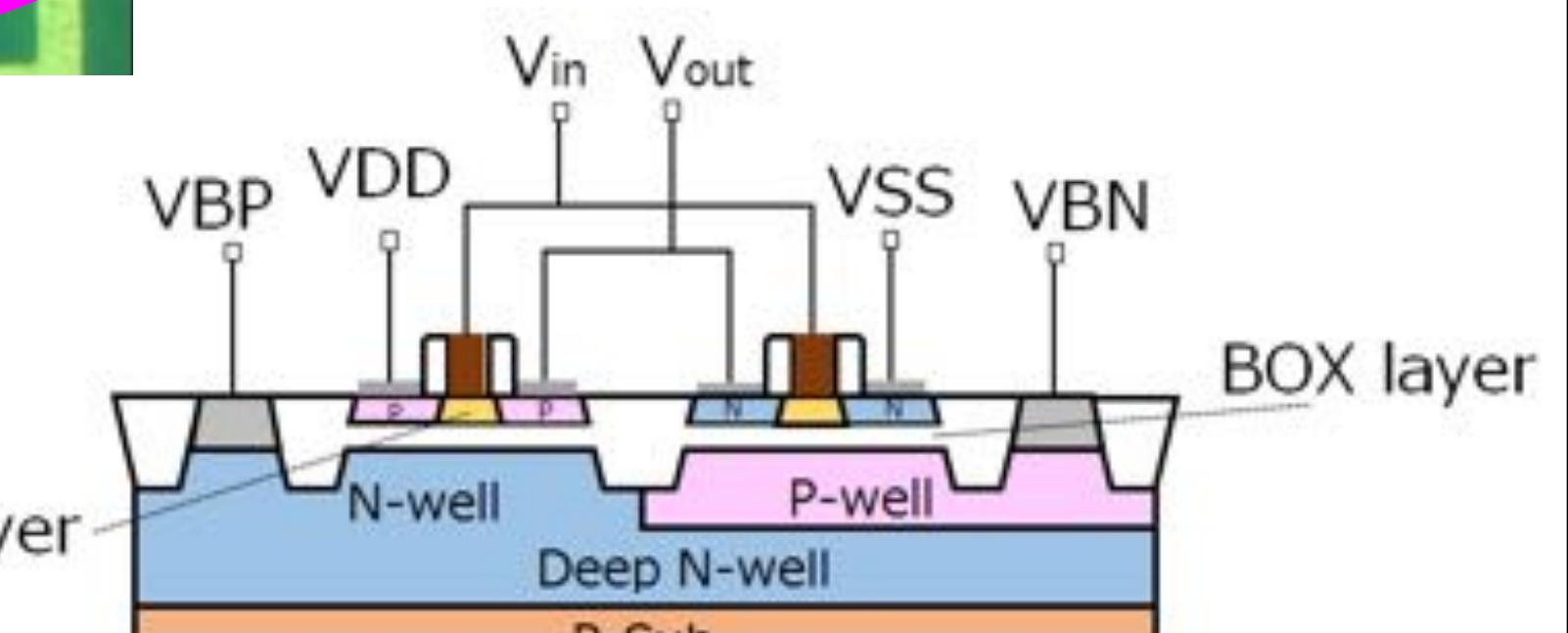
CCSOTB2の実チップ写真

- VPCMAを実チップ化した試作機: CCSOTB2

- SOTB 65nmプロセスを利用

- 高いエネルギー効率

- 3.4mWで最高2400MOPSを達成



SOTBのトランジスタ構造

### SOTBプロセスの特徴

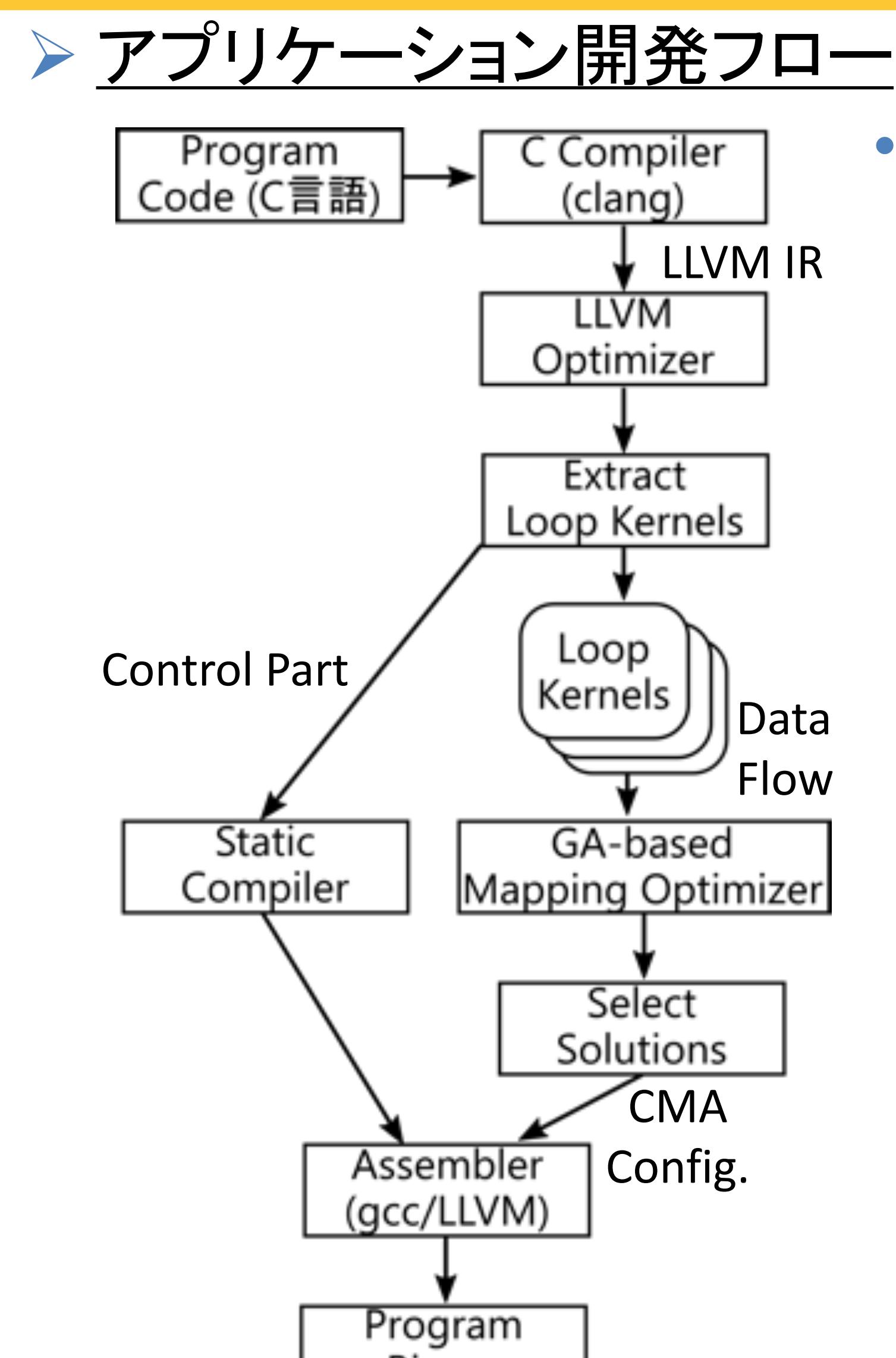
- FD-SOIの一種
- ボディバイアス制御
  - リーク電力
  - 性能のバランスを調整

### 複数に分割されたボディバイアスドメイン

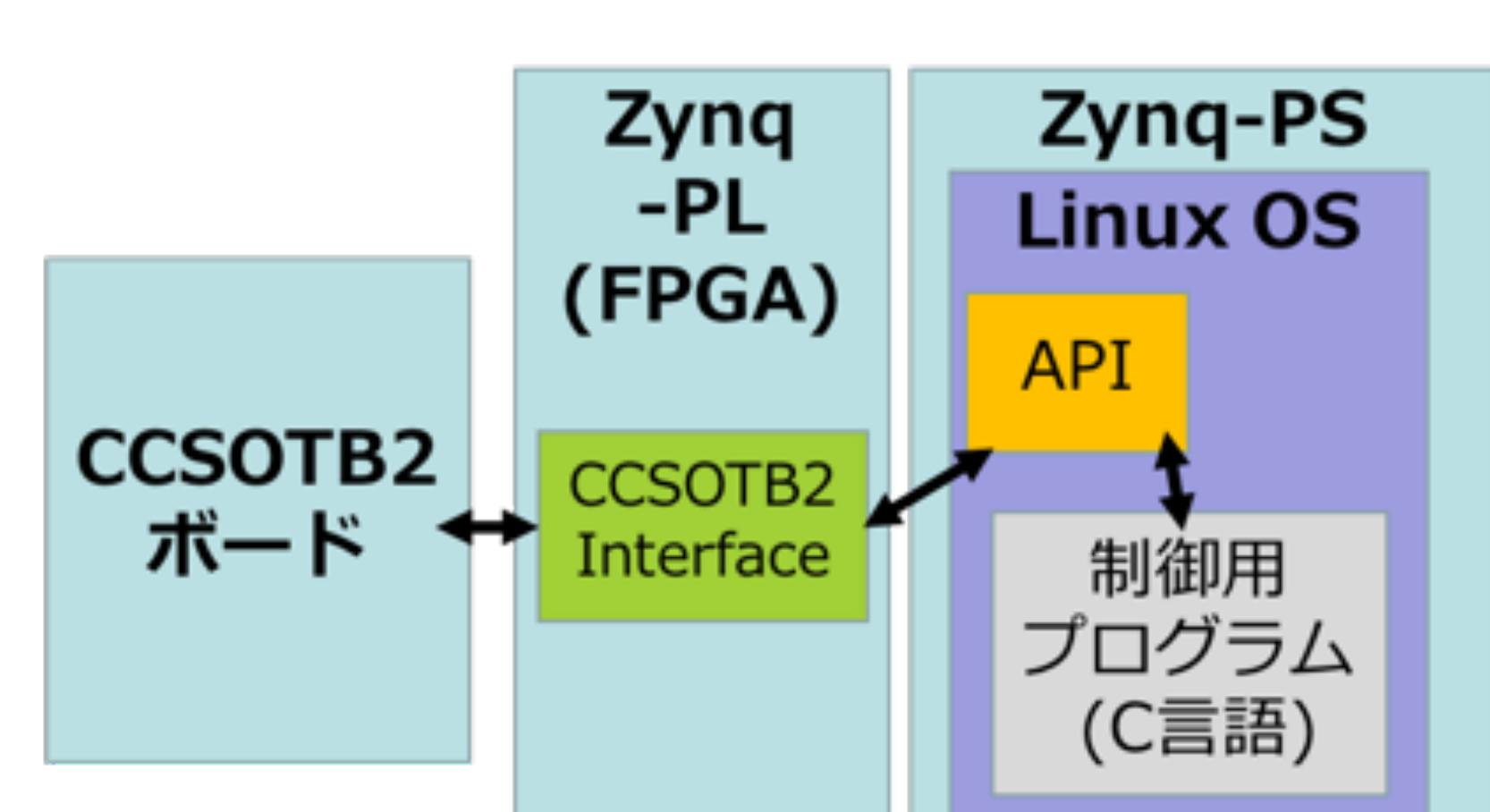
- マイクロコントローラとPEアレイでドメインを分割
  - PEアレイとマイクロコントローラの性能差を調整可能
- PEアレイを4つのドメインに分割
  - PE間の遅延時間差を解消 & ボトルネックなパイプラインステージのみ高速化

## 構築したシステム

### アプリケーション開発と実行



### アプリケーションの実行環境



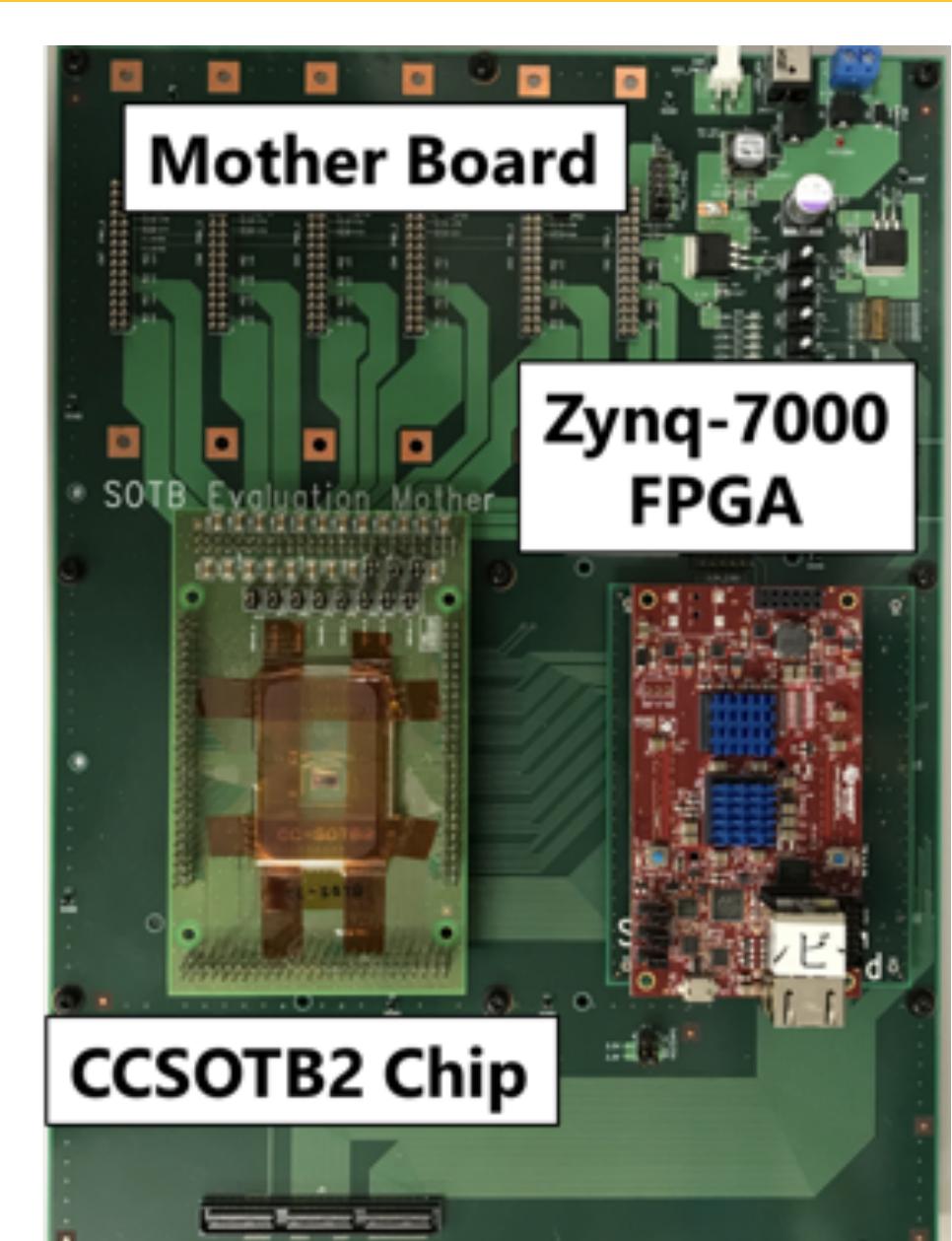
### 実験環境

#### 実験用マザーボードを開発

- ホストコントローラとCCSOTB2を接続
- 電源ボードを搭載可能
  - ホストコントローラからも電源制御

➤ 本展示では太陽電池を電源電圧として利用

- 内部抵抗が大きいため低電流でないと供給電圧を維持できない



### 実画像処理の結果

#### RGBデータをグレースケール化した結果



入力画像

20MHz 0.55V 時

35MHz 0.55V 時

#### 20MHz動作時

- ピーク消費電力 約2.6mW
- パイプライン構成 4段

➤ 標準電圧 0.55Vで30MHzまで安定動作

