

CGRAのためのアプリケーションマッピングフレームワーク GenMapの実装と実機評価

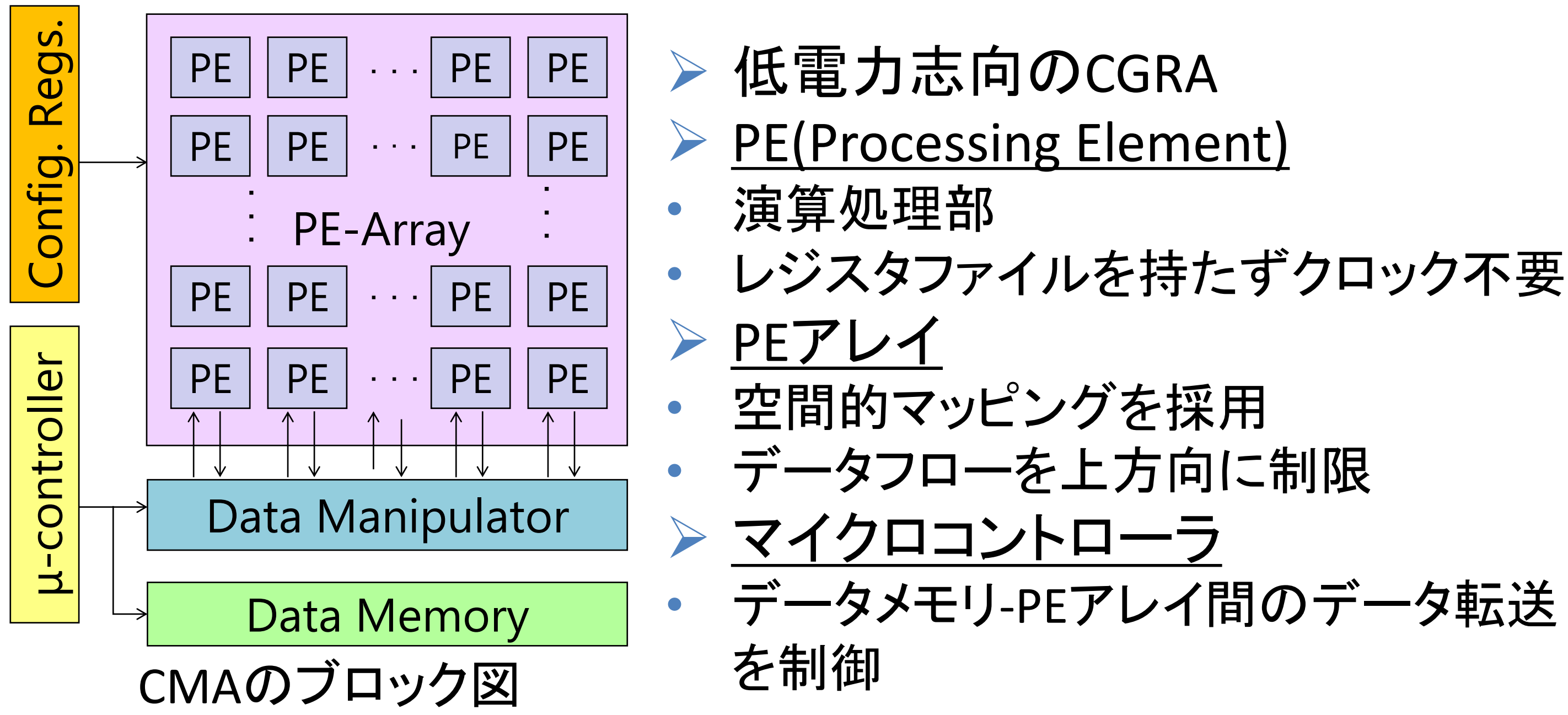
小島 拓也, 天野 英晴 慶應義塾大学

イントロダクション

CGRA(Coarse-Grained Reconfigurable Architecture)はその高いエネルギー効率からIoTデバイスや組み込みデバイスへの応用が期待されているが、よりよいエネルギー効率を達成するためにはアプリケーションの割り当て(マッピング)に関して複雑な最適化を行う必要がある。本研究では遺伝的アルゴリズムをベースとした多目的最適化を行うマッピングフレームワークGenMapを提案する。GenMapは特定のアーキテクチャに依存せず、様々なアーキテクチャに対応することができ、ユーザーが必要に応じて目的関数を追加できる柔軟性を持つ。GenMapの多目的最適化によって既存手法と同等のリソース消費で10~15%程度のエネルギー削減と1.6~2.4倍の性能向上を実機測定により確認した。

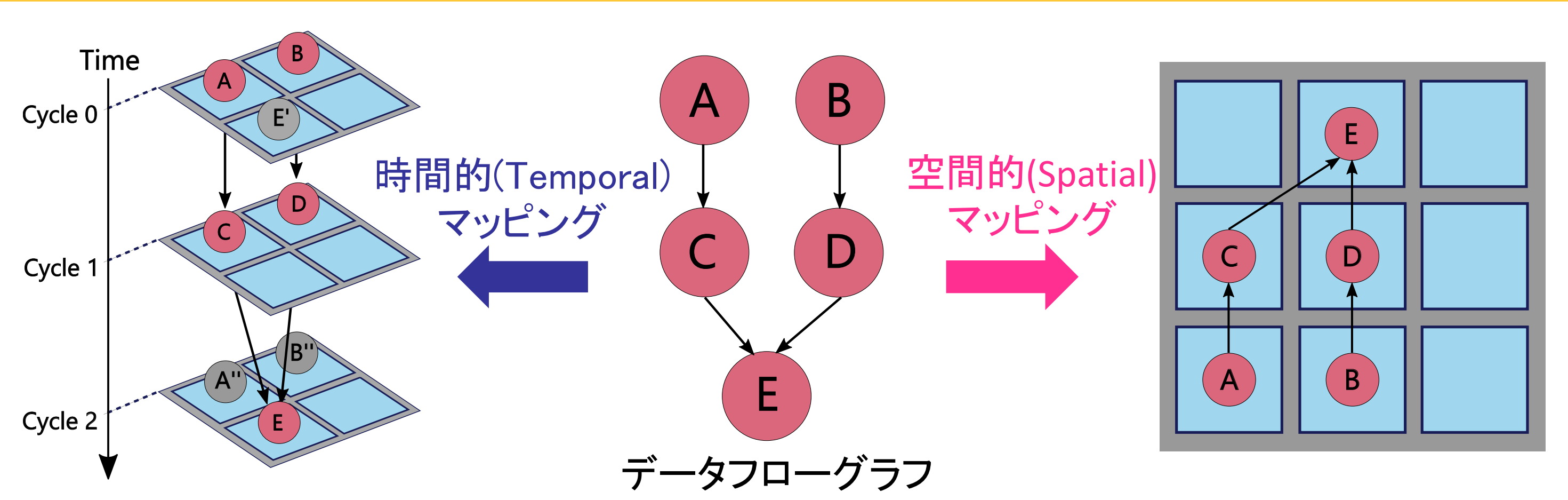
CGRA (Coarse-Grained Reconfigurable Architecture)

CMA(Cool Mega Array) アーキテクチャ



	CC-SOTB[FPL'16]	CC-SOTB2[HEART'17]	NVCMMA[ReConFig'18]
PEアレイ	12列x8行	12列x8行	8列x8行
相互接続網	SEチャンネル(実線) +DLチャンネル(破線)	SEチャンネル(実線) +DLチャンネル(破線)	SEチャンネルx2 (一重線と二重線)
パイプライン化	なし	可変パイプライン	なし
バイアス制御	あり(1ドメイン)	あり(4ドメイン)	なし
チップ実装	Renesas SOTB 65nm	Renesas SOTB 65nm	65nm以降(詳細割愛)
トポロジ PE構造 etc.			

アプリケーションマッピングと最適化手法



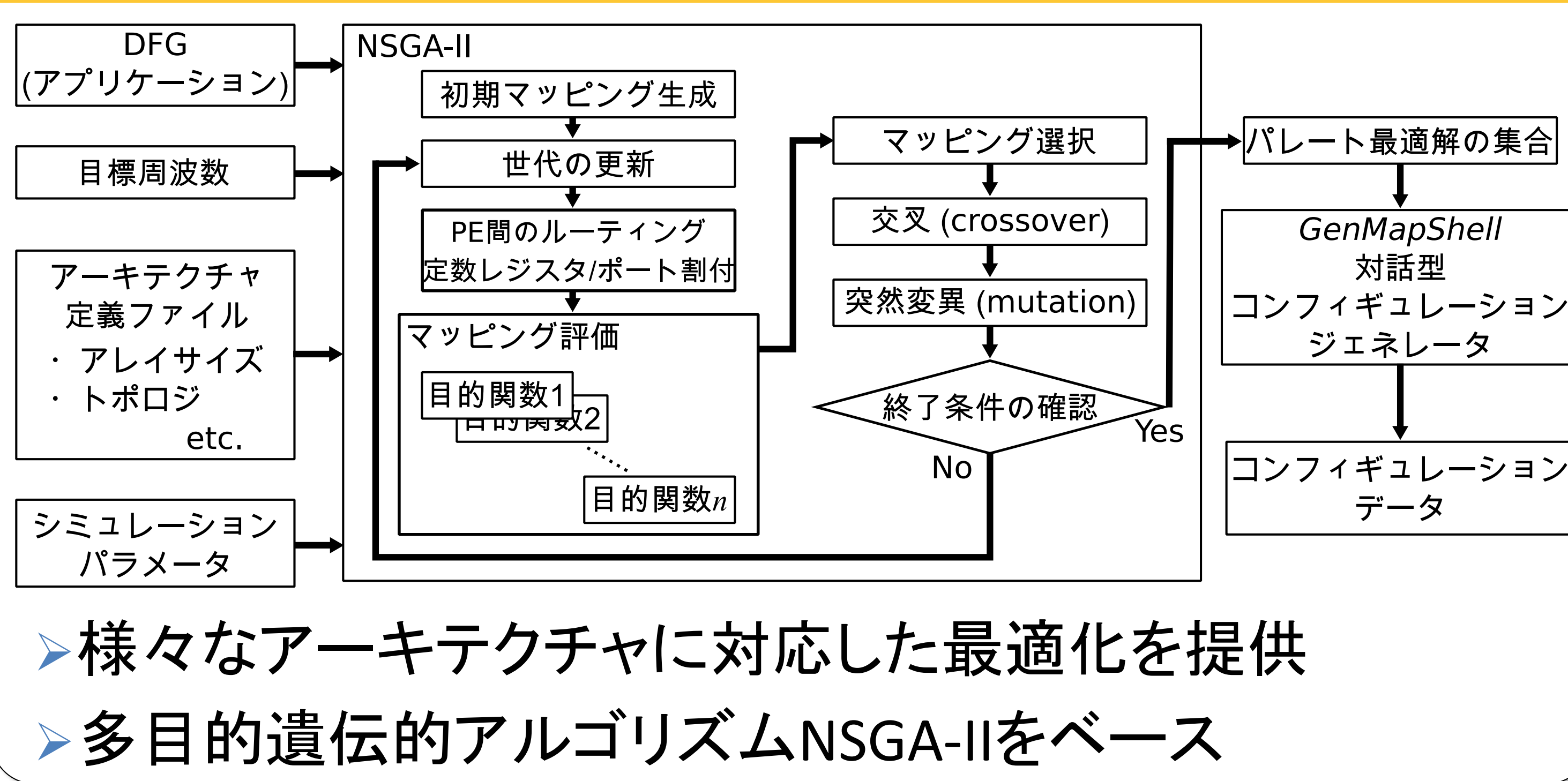
- 時間的マッピングの特徴
- PEアレイを時間方向へ拡張
 - 柔軟性の向上
 - 複雑なアプリケーションを搭載可能
 - サイクル単位の再構成による電力消費増加
- 空間的マッピングの特徴
- データフローグラフを空間的にマッピング
 - 必要PE数の増加
 - 再構成のためのオーバーヘッド削減
 - エネルギー効率に優れる
- マッピング最適化はNP-完全な問題
 →様々な手法が存在

手法	方式	分類	最適化目的	電力削減の検討
DRESC[CDT'03]	時間的	シミュレーテッドアニーリング	IIの最小化	×
RAMP[DAC'18]	時間的	決定論的手法	IIの最小化	×
[ASP-DAC'17]	時間的	決定論的手法	IIの最小化	2レベル VDD
SPKM[ASP-DAC'08]	空間的	ILP	PE行最小化	△
DFGNet[ISCAS'17]	空間的	CNN	マッピング成功	×
RLMap[TCAD'18]	空間的	強化学習	リソース削減	×
CGRA-ME [ASAP'17][FCCM'19]	両対応	シミュレーテッドアニーリング or ILP	リソース最小化	△

電力削減に消極的

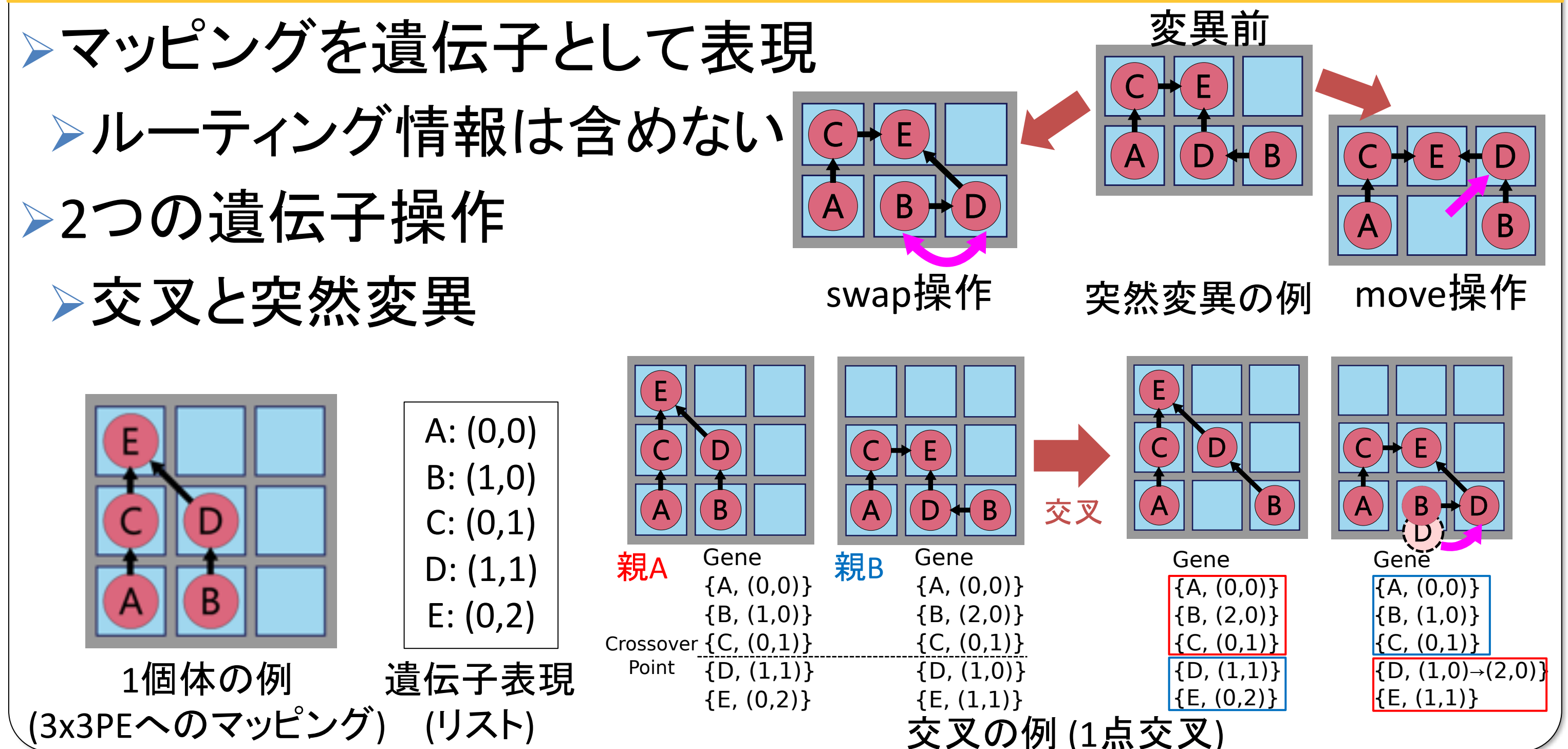
提案手法

マッピングフレームワーク GenMapの提案



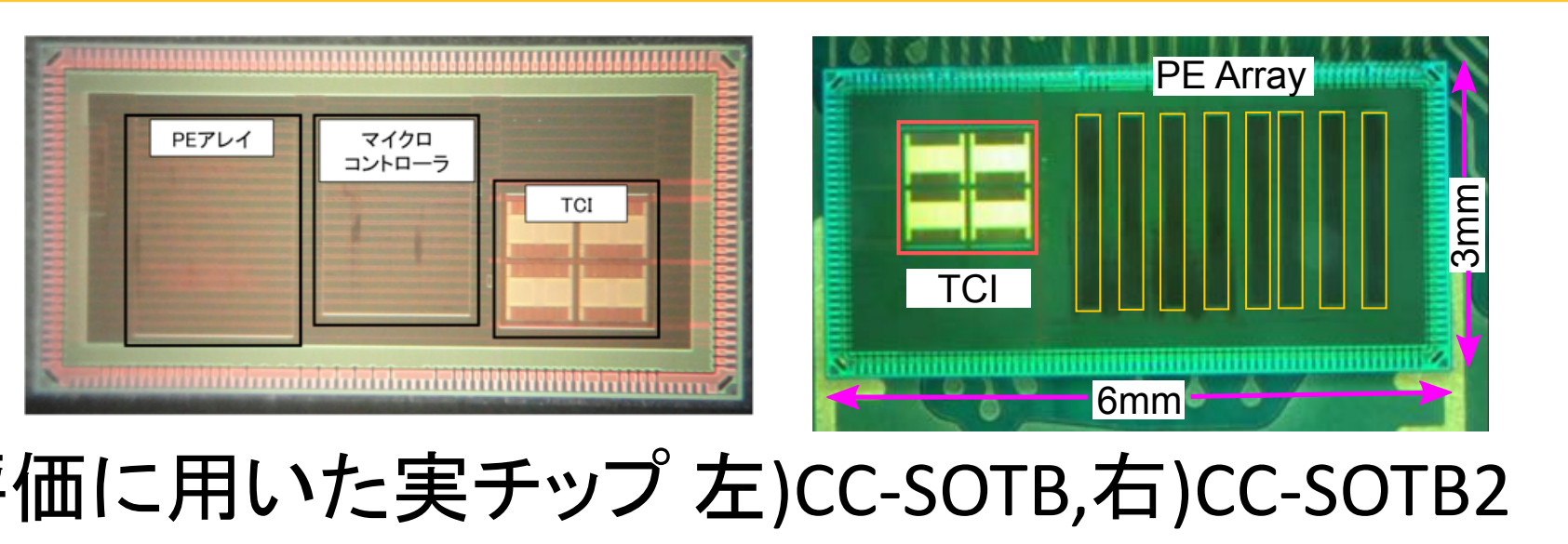
- 様々なアーキテクチャに対応した最適化を提供
- 多目的遺伝的アルゴリズムNSGA-IIをベース

マッピングの遺伝子表現



評価結果

- 本評価で用いた目的関数
- 総配線長(最小化)
デフォルトで必須
- マッピング幅(最小化)
スループットに關係
- 消費電力(最小化)
ダイナミック電力はモデル式[ReConFig'17]で推定
リーク電力はILPで最小化[IEICE Trans.'18]
- タイムスラック(最大化)
目標周波数に対するクリティカルパスのスラック



実機評価からモデル式のパラメータを算出

アーキテクチャ	サンプル数	平均誤差
CC-SOTB	72	13.24 %
CC-SOTB2	1272	16.25 %
NVCMMA	111	11.84 %

ベンチマークアプリケーション

名前	内容	演算ノード数	エッジ数
af	24bit アルファブレンド	24	46
gray	24bit グレースケール	13	23
sepia	8bit セピアフィルタ	12	21
sf	24bit セピアフィルタ	20	36
dct	離散コサイン変換	18	28
fft	高速フーリエ変換	38	68
aes	共通鍵暗号AES	45	68

